

541, 933

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
29. Juli 2004 (29.07.2004)

PCT

(10) Internationale Veröffentlichungsnummer  
**WO 2004/064075 A1**

(51) Internationale Patentklassifikation<sup>7</sup>: **G11C 29/00**

(21) Internationales Aktenzeichen: PCT/EP2003/013527

(22) Internationales Anmeldedatum:  
2. Dezember 2003 (02.12.2003)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:  
103 01 310.5 15. Januar 2003 (15.01.2003) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): **CONTINENTAL TEVES AG & CO. OHG** [DE/DE]; Guerickestrasse 7, 60488 Frankfurt/Main (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **VOSS, Burkart** [DE/DE]; Hofmannstrasse 6, 64283 Darmstadt (DE).

**TRASKOV, Adrian** [DE/DE]; Hardtbergstrasse 8, 61449 Steinbach (DE). **KIRSCHBAUM, Andreas** [DE/DE]; Parsevalstrasse 1, 64347 Griesheim (DE).

(74) Gemeinsamer Vertreter: **CONTINENTAL TEVES AG & CO. OHG**; Guerickestrasse 7, 60488 Frankfurt/Main (DE).

(81) Bestimmungsstaaten (national): DE, JP, US.

(84) Bestimmungsstaaten (regional): europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR).

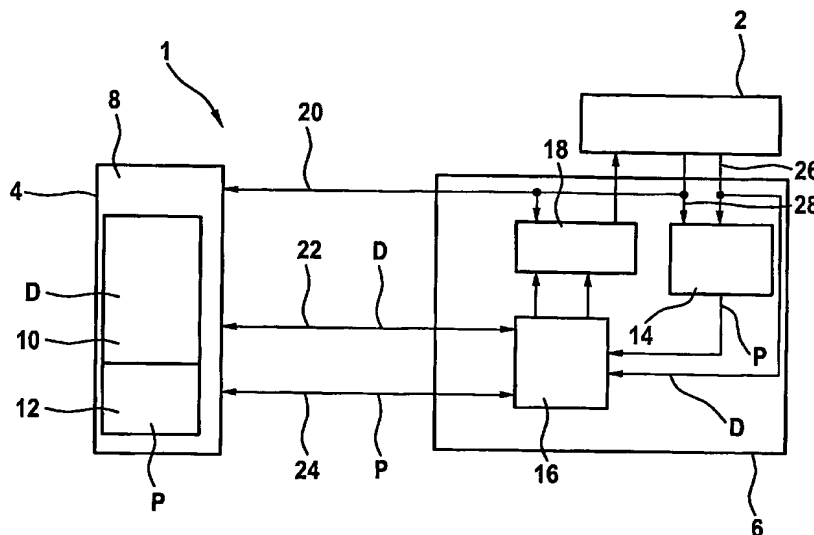
Veröffentlicht:

— mit internationalem Recherchenbericht

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(54) Title: METHOD FOR THE RECOGNITION AND/OR CORRECTION OF MEMORY ACCESS ERRORS AND ELECTRONIC CIRCUIT ARRANGEMENT FOR CARRYING OUT SAID METHOD

(54) Bezeichnung: VERFAHREN ZUR ERKENNUNG UND/ODER KORREKTUR VON SPEICHERZUGRIFFSFEHLERN UND ELEKTRONISCHE SCHALTUNGSANORDNUNG ZUR DURCHFÜHRUNG DES VERFAHRENS



(57) Abstract: A method for the recognition and/or correction of memory access errors in a computer system, wherein test data (P) is stored inside a memory (4) in addition to data (D) which is to be secured, using said data (D). The aim of the invention is to further develop one such method so that a particularly high degree of reliability in error recognition and error correction can be obtained. According to the invention, when the test data (P) is produced in addition to the data (D) which is to be secured, the addresses thereof are taken into account.

[Fortsetzung auf der nächsten Seite]

WO 2004/064075 A1



---

**(57) Zusammenfassung:** Ein Verfahren zur Erkennung und/oder Korrektur von Speicherzugriffsfehlern in einem Rechnersystem, bei dem innerhalb eines Speichers (4) zusätzlich zu abzusichernden Daten (D) unter Verwendung dieser Daten (D) erzeugte Prüfdaten (P) abgelegt werden, soll derart weitergebildet werden, dass eine besonders hohe Zuverlässigkeit bei der Fehlererkennung und korrektur erreichbar ist. Dazu werden erfindungsgemäß bei der Erzeugung der Prüfdaten (P) zusätzlich zu den abzusichernden Daten (D) auch deren Adressen berücksichtigt.

**Verfahren zur Erkennung und/oder Korrektur von Speicherzugriffsfehlern und elektronische Schaltungsanordnung zur Durchführung des Verfahrens**

Die Erfindung betrifft ein Verfahren zur Erkennung und/oder zur Korrektur von Speicherzugriffsfehlern in einem Rechnersystem, bei dem innerhalb eines Speichers zusätzlich zu abzusichernden Daten unter Verwendung dieser Daten erzeugte Prüfdaten abgelegt werden. Sie bezieht sich weiter auf eine elektronische Schaltungsanordnung, insbesondere zur Durchführung eines derartigen Verfahrens, mit einer mit einem Rechenkern und mit einem Speicher verbundenen Fehlererkennungseinrichtung.

Unter dem Begriff "Rechnersystem" werden ganz allgemein einzelne oder auch vernetzte Computersysteme, wie beispielsweise Mikrocontroller, verstanden, welche neben einer Zentralrecheneinheit (CPU) zusätzlich Speicher und Ein-/Ausgabefunktionen umfassen. Diese Systeme können als Systeme mit einem oder insbesondere mit mehreren Prozessorrechnerkernen ausgeführt sein, wobei bei einem mehrkernigen System zwei oder mehrere als Rechenkerne bezeichnete Zentralrecheneinheiten vorgesehen sind.

Verfahren der genannten Art können insbesondere zur Überwachung und zur Fehlerkorrektur von Speichern in sicherheitskritischen Applikationen zum Einsatz kommen, welche insbesondere in einem elektronischen Kraftfahrzeugsteuerelement eingesetzt sein können. Durch ein derartiges Konzept kann somit insbesondere die Speicherarchitektur für einen Kraftfahrzeugrechner beeinflusst sein.

Elektronische Steuergeräte für Kraftfahrzeugbremsen übernehmen im Zuge der technischen Entwicklung immer mehr Funktionen des Bremssystems. In früheren Bremssystemen wurde in der Regel lediglich die Antiblockier("ABS")-Funktion elektronisch gesteuert und geregelt, wohingegen in moderneren sogenannten "By-Wire"-Bremsanlagen die vollständige Bremsfunktion von elektronischem Steuergerät kontrolliert werden

kann. Aufgrund der unmittelbaren Sicherheitsrelevanz derartiger Systeme besteht ein zunehmender Bedarf an elektronischen Kraftfahrzeugsteuergeräten mit besonders hoher Zuverlässigkeit.

Üblicherweise umfassen elektronische Kraftfahrzeugsteuergeräte zur Bewältigung der vergleichsweise komplexen Funktionen programmgesteuerte Mikroprozessorsysteme. Zur Verbesserung der Zuverlässigkeit derartiger Mikroprozessorsysteme kommen sogenannte Fehlererkennungssysteme oder -einrichtungen zum Einsatz, die bei der Speicherung von Daten in einem Speicher unter Verwendung der abzusichernden Daten Prüfdaten erzeugen und gemeinsam mit den abzusichernden Daten abspeichern. Beim Wiederauslesen der Daten kann in einem nachfolgenden Schritt unter Zuhilfenahme der mit diesen abgelegten Prüfdaten festgestellt werden, ob ein Auslesefehler vorgekommen ist.

Die Zuverlässigkeit eines Kraftfahrzeugrechnersystems lässt sich nach der DE 101 09 449 auch dadurch verbessern, dass beim Lesen von Flash-Speichern durch den Mikroprozessor für jedes Wort/Halbwort Paritätsbits im gleichen Speicherbaustein oder in einem separaten Speicherbaustein abgelegt werden. Während des Speicherzugriffs werden ebenfalls Paritätsbits erzeugt und zum Zwecke der Fehlerüberprüfung mit den gespeicherten Prüfdaten verglichen.

Bei bekannten Verfahren zur Erkennung und/oder Korrektur von Speicherzugriffsfehlern werden die Prüfdaten üblicherweise mittels Fehlerkorrekturcodes, wie beispielsweise einem Hamming Code oder einem Berger Code, erzeugt und auf dem jeweiligen Speicher hinterlegt, um transiente Fehler zu korrigieren, die garantierte Lebensdauer eines Produkts zu erhöhen oder durch das Maskieren von Fertigungsfehlern die Ausbeute bei der Herstellung zu erhöhen.

Bei insbesondere als Flash-Memory ausgeführten Applikationsspeichern können jedoch nur ganze Segmente gelöscht und pro-

grammiert werden. Ein vergleichsweise klein segmentierter Flash-Speicher benötigt eine erheblich größere Fläche im Vergleich zu einem Flash-Speicher mit größeren Segmenten. Herstellungsbedingt ist die Größe der Segmente daher nach unten hin begrenzt. Da einzelne Programm- und Datenteile unabhängig voneinander programmiert und gelöscht werden müssen (sowohl die Daten als auch die zugehörige Parität) und die kleinste Segmentgröße der Parität beschränkt ist, ergeben sich bei derartigen Systemarchitekturen vergleichsweise große Bereiche ungenutzten Speichers.

Der Erfindung liegt die Aufgabe zugrunde, ein Verfahren der oben genannten Art derart weiterzubilden, dass eine besonders hohe Zuverlässigkeit bei der Fehlererkennung und -korrektur erreichbar ist. Des Weiteren soll eine zur Durchführung des Verfahrens besonders geeignete elektronische Schaltungsanordnung angegeben werden.

Bezüglich des Verfahrens wird diese Aufgabe erfindungsgemäß dadurch gelöst, dass bei der Erzeugung der Prüfdaten zusätzlich zu den abzusichernden Daten auch deren Adressen berücksichtigt werden.

Die Erfindung geht dabei von der Überlegung aus, dass bei bisherigen Konzepten zur Fehlererkennung und -korrektur die entsprechenden Routinen oder Einrichtungen in den Speicherwrapper integriert sind und dabei eine unmittelbare Kontrolle lediglich des Datenfeldes zulassen. Übertragungsfehler beim Auslesen der Daten, die beispielsweise in Folge von Adressierungsfehlern oder dergleichen entstehen könnten, bleiben dabei unberücksichtigt. Um die Zuverlässigkeit bei der Fehlererkennung und ggf. -korrektur zu erhöhen, sollte daher auch die Adressierung in die Überprüfung mit einbezogen werden. Um dies auf besonders einfache Weise zu gewährleisten, werden die Prüfdaten unter Berücksichtigung der abzusichernden Daten einerseits und unter Berücksichtigung von deren Adressen andererseits erzeugt.

Eine besonders hohe Zuverlässigkeit bei der Fehlererkennung und ggf. -korrektur ist dabei erreichbar, indem vorteilhafterweise abzusichernde Daten gemeinsam mit den ihnen zugeordneten Prüfdaten an einen Datenempfänger übermittelt werden, wobei eine Auswertung der Prüfdaten zur Fehlererkennung erst nach der Datenübermittlung vorgenommen wird. Die Fehlererkennung und -korrektur wird dabei zum Empfänger der Daten hin verschoben, sodass eine Überwachung und Fehlerkorrektur sowohl des Datenfeldes als auch der Speicherwrapper mit Adressdecodierung und der Daten-/Adressleitungen gewährleistet ist.

In weiterer oder alternativer vorteilhafter Weiterbildung wird eine Auswertung der Prüfdaten zur Fehlererkennung in einer Fehlererkennungseinrichtung vorgenommen, die von einer Überprüfungseinheit überprüft wird. Somit wird die Erkennung und/oder Korrektur eventueller Fehler ihrerseits durch eine eigene Überprüfungseinheit überwacht. In weiterer vorteilhafter Ausgestaltung erzeugt die Überprüfungseinheit dabei Vergleichsprüfdaten aus Daten und Adressen, die mit Prüfdaten der Fehlererkennungseinrichtung und/oder mit Prüfdaten eines mit der Fehlererkennungseinrichtung verbundenen Speichers verglichen werden. Dabei werden aus den korrigierten Daten und den Adressen der zweiten CPU Checkbits berechnet und mit den eventuell korrigierten Checkbits vom Speicher verglichen. Ein derartiges Verfahren ist somit insbesondere für die Anwendung in einer mit zwei oder mehr Prozessorkernen geeignet.

Zur weiteren Erhöhung der Zuverlässigkeit und betrieblichen Sicherheit werden vorteilhafterweise zur Übertragung von Daten, Prüfdaten und Adressen zwischen der Fehlererkennungseinrichtung und einem Applikationsspeicher getrennte Busleitungen genutzt.

Bezüglich der elektronischen Schaltungsanordnung zur Durchführung des Verfahrens mit einer mit einem Rechenkern und mit einem Speicher verbundenen Fehlererkennungseinrichtung

wird die genannte Aufgabe dadurch gelöst, dass die Fehlererkennungseinrichtung einen Prüfdatengenerator umfasst, der für im Speicher abzulegende Daten anhand dieser Daten und anhand ihrer Adressen Prüfdaten erzeugt.

Für eine besonders hohe Zuverlässigkeit und betriebliche Sicherheit ist die Fehlererkennungseinrichtung vorteilhafterweise aus dem Speichercore heraus zu einem Empfänger der Daten hin verschoben. Dabei ist die Fehlererkennungseinrichtung vorteilhafterweise über eine Anzahl von Busleitungen mit dem Speicher verbunden, wobei in weiterer vorteilhafter Ausgestaltung eine Trennung der Busleitungen derart vorgesehen ist, dass für Daten, Prüfdaten und Adressen jeweils separate Busleitungen vorgesehen sind.

In weiterer vorteilhafter Ausgestaltung ist der Fehlererkennungseinrichtung eine Überprüfungseinheit zugeordnet.

Die mit der Erfindung erzielten Vorteile bestehen insbesondere darin, dass durch die Einbeziehung der Adressen in die Generierung der Prüfdaten und insbesondere auch durch die Verlagerung der Fehlererkennung und -korrektur aus dem Speichercore heraus in den Bereich eines Empfängers für die Daten eine besonders hohe Zuverlässigkeit und betriebliche Sicherheit bei der Fehlererkennung und -korrektur erreichbar ist. Zusätzlich zu den eigentlichen Daten werden nämlich bei der Fehlererkennung die Adressen und insbesondere auch die Adressdecodierlogik mitüberprüft. Weiterhin ist die Überprüfung und eine mögliche Fehlerkorrektur der Daten- und Adressleitungen gewährleistet. Die somit erreichbare Erweiterung der Fehlererkennung auf die Übertragungswege kann besonders bei externen Komponenten mit vergleichsweise stör anfälligen langen Verbindungswegen zum Rechenkern bedeutsam sein.

Die Fehlererkennung beim Adressdecoder ist dabei besonders vorteilhaft, wenn auslegungsbedingt nur ein einziger Adressdecoder verwendet werden soll. Durch die weiterhin vorgese-

hene Überprüfungseinheit für die Fehlererkennung an sich ist somit auch für diese eine Fehlererkennung bereitstellbar.

Ein Ausführungsbeispiel der Erfindung wird anhand einer Zeichnung näher erläutert. Darin zeigen:

Fig. 1      schematisch eine elektronische Schaltungsanordnung, und

Fig. 2      schematisch eine alternative Ausführungsform einer elektronischen Schaltungsanordnung.

Gleiche Teile sind in beiden Figuren mit denselben Bezugszeichen versehen.

Die elektronische Schaltungsanordnung 1 gemäß Figur 1 ist insbesondere zum Einsatz im elektronischen Steuersystem für Kraftfahrzeugbremsen vorgesehen. Um dabei aufgrund der hohen Sicherheitsrelevanz im Hinblick auf mögliche Eingriffe in aktuelle Fahrsituationen eine besonders hohe Zuverlässigkeit und betriebliche Sicherheit zu gewährleisten, ist die elektronische Schaltungsanordnung 1 für eine Fehlererkennung und ggf. - korrektur bei der Bearbeitung von Daten ausgelegt. Zu diesem Zweck umfasst die elektronische Schaltungsanordnung 1 eine datenseitig zwischen einen auch als Zentralrecheneinheit oder CPU bezeichneten Rechenkern 2 und einen diesem zugeordneten Speicher 4 geschaltete Fehlererkennungseinrichtung 6. Die Fehlererkennungseinrichtung 6 dient dabei insbesondere dem Zweck, bei der Weiterleitung von Daten D aus dem Speicher 4 in den Rechenkern 2 eine hohe Zuverlässigkeit der ausgelesenen Daten D sicherzustellen und ggf. vorgefundene Fehler zuverlässig zu erkennen und ggf. zu korrigieren.

Der Speicher 4, in dem die Daten D hinterlegt sind, umfasst zusätzlich zu einem zur Adressdecodierung und Speicherverwaltung vorgesehenen Speicherwrapper 8 einen Speicherbereich 10 für die Daten D sowie einen weiteren Speicherbereich 12 für den Daten D zugeordnete Prüfdaten P.



Die Fehlererkennungseinrichtung 6 umfasst einen Prüfdatengenerator 14, eine Buslogikeinrichtung 16 sowie einen Korrekturblock 18. Die Fehlererkennungseinrichtung 6 ist über eine Anzahl von Busleitungen 20, 22, 24 mit dem Speicher 4 verbunden, wobei die Busleitung 20 in der Art einer Adressleitung zur Übermittlung von Adressdaten an den Speicherwrapper 8, die Busleitung 22 in der Art einer Datenleitung zur Übermittlung von Daten D an das Speichersegment 10 und die Busleitung 24 in der Art einer Codeleitung zur Übermittlung von Prüfdaten P an das Speichersegment 12 vorgesehen ist.

Zur Sicherstellung einer besonders hohen Zuverlässigkeit bei der Fehlererkennung und ggf. -korrektur ist die Fehlererkennungseinrichtung 6 dafür ausgelegt, die für die abzusichernden Daten D vorgesehenen Prüfdaten P einerseits unter Berücksichtigung der Daten D, andererseits aber auch unter Berücksichtigung von deren Adressen zu generieren. Dazu ist der Prüfdatengenerator 14 eingangsseitig sowohl über eine Datenleitung 26 als auch über eine mit der als Adressleitung vorgesehenen ersten Busleitung 20 verbundene Zweigleitung 28 mit dem Rechenkern 2 verbunden. Die somit unter Berücksichtigung von Daten D und der Adressen erzeugten Prüfdaten P können anschließend vom Prüfdatengenerator 14 an die Buslogikeinrichtung 16 übergeben werden, von der aus sie über die Busleitung 24 zur Abspeicherung an den Speicher 4 weitergegeben werden.

Darüber hinaus ist die Schaltungsanordnung 1 dafür ausgelegt, die Auswertung der Prüfdaten P zur Fehlererkennung erst nach der Datenübermittlung an einen Empfänger für die Daten D vorzunehmen. Dazu ist die Fehlererkennungseinrichtung 6 unter Vermeidung einer Integration in den Speicher 4 als separate, über die Busleitungen 20, 22, 24 mit dem Speicher 4 verbundene Komponente ausgeführt. Bei der Auswertung der aus dem Speicher 4 ausgelesenen Daten D und der diesen zugeordneten Prüfdaten P im Korrekturblock 18, bei der zudem auch die Adressen berücksichtigt werden, erfolgt somit die

Fehlererkennung nicht nur für die eigentlichen Daten D, sondern auch für die zur Datenübertragung benötigten Übermittlungsleitungen und Adressen.

Die elektronische Schaltungsanordnung 1 im Ausführungsbeispiel gemäß Figur 1 ist als Recheneinheit mit lediglich einem Prozessrechnern ausgeführt. Im Ausführungsbeispiel gemäß Figur 2 ist hingegen eine Ausführungsform mit zwei Prozessrechnern gezeigt, bei der zusätzlich zum ersten Rechenkern 2 noch ein weiterer, als CPU ausgeführter Rechenkern 30 vorgesehen ist. In diesem Ausführungsbeispiel ist der Fehlererkennungseinrichtung 6 zudem eine Überprüfungseinheit 32 zugeordnet, die ihrerseits als Fehlererkennungseinrichtung ausgestaltet ist. Die Fehlererkennungseinrichtung 6 liefert dabei über eine Datenleitung 34 Lesedaten L an den ersten Rechenkern 2 und auch an den zweiten Rechenkern 30. Die Lesedaten L sind dabei von der Fehlererkennungseinrichtung 6 bereits korrigierte Daten. Die Lesedaten L werden weiterhin einem Checkbit-Generator 36 in der Überprüfungseinheit 32 zugeführt, der anhand der Lesedaten L und von dem zweiten Rechenkern 32 übermittelten Adressen A Prüfdaten oder Checkbits P erzeugt. Diese werden in einer Vergleichereinheit 38 mit von der Fehlererkennungseinrichtung 6 übermittelten korrigierten Checkbits oder Prüfdaten P verglichen, sodass eine Kontrolle der ordnungsgemäßen Funktionsfähigkeit der Fehlererkennungseinrichtung 6 vorgenommen werden kann. Das Vergleichermodule 38 liefert als Ausgangssignal über seinen Ausgangskanal 40 ggf. eine Fehlermeldung. Das gleiche gilt auch für die Überprüfungseinheit 6, über den Ausgangskanal 41.

**Bezugszeichenliste**

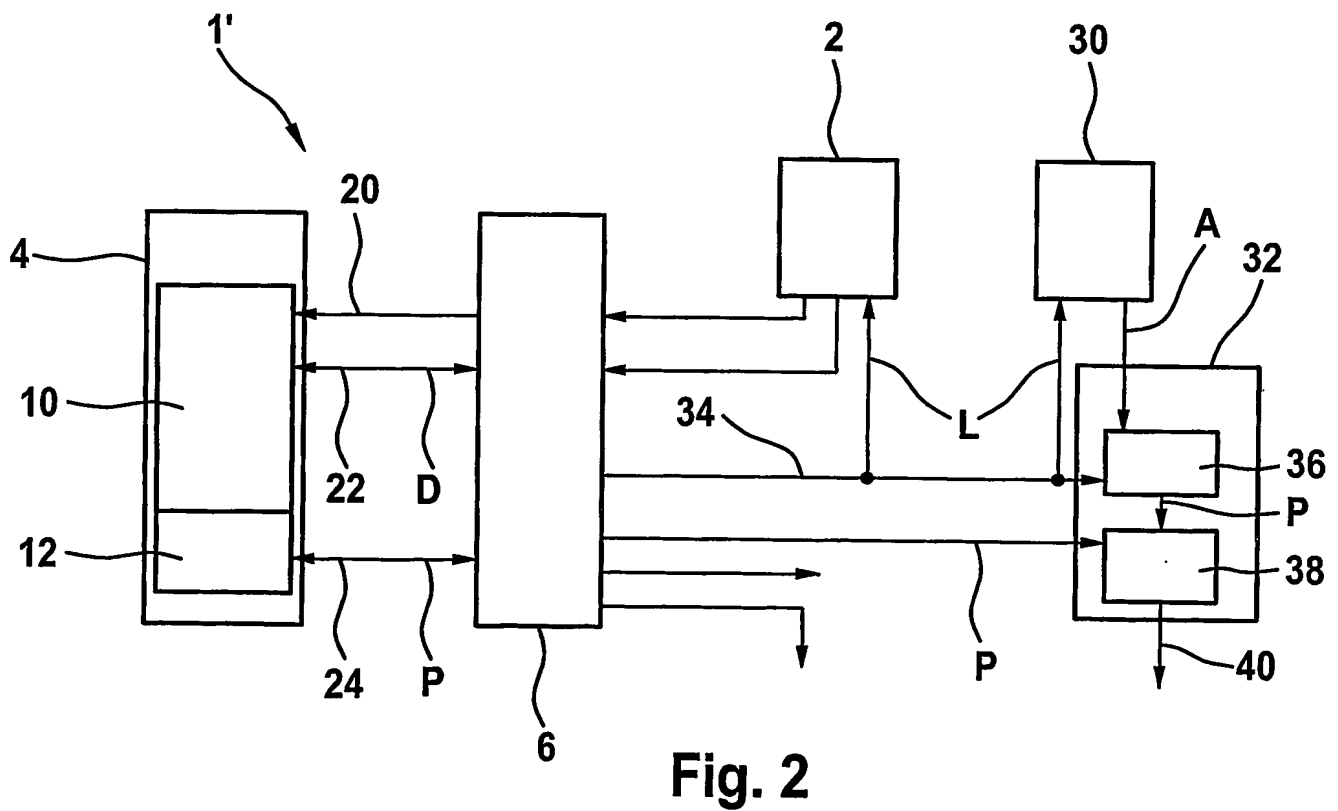
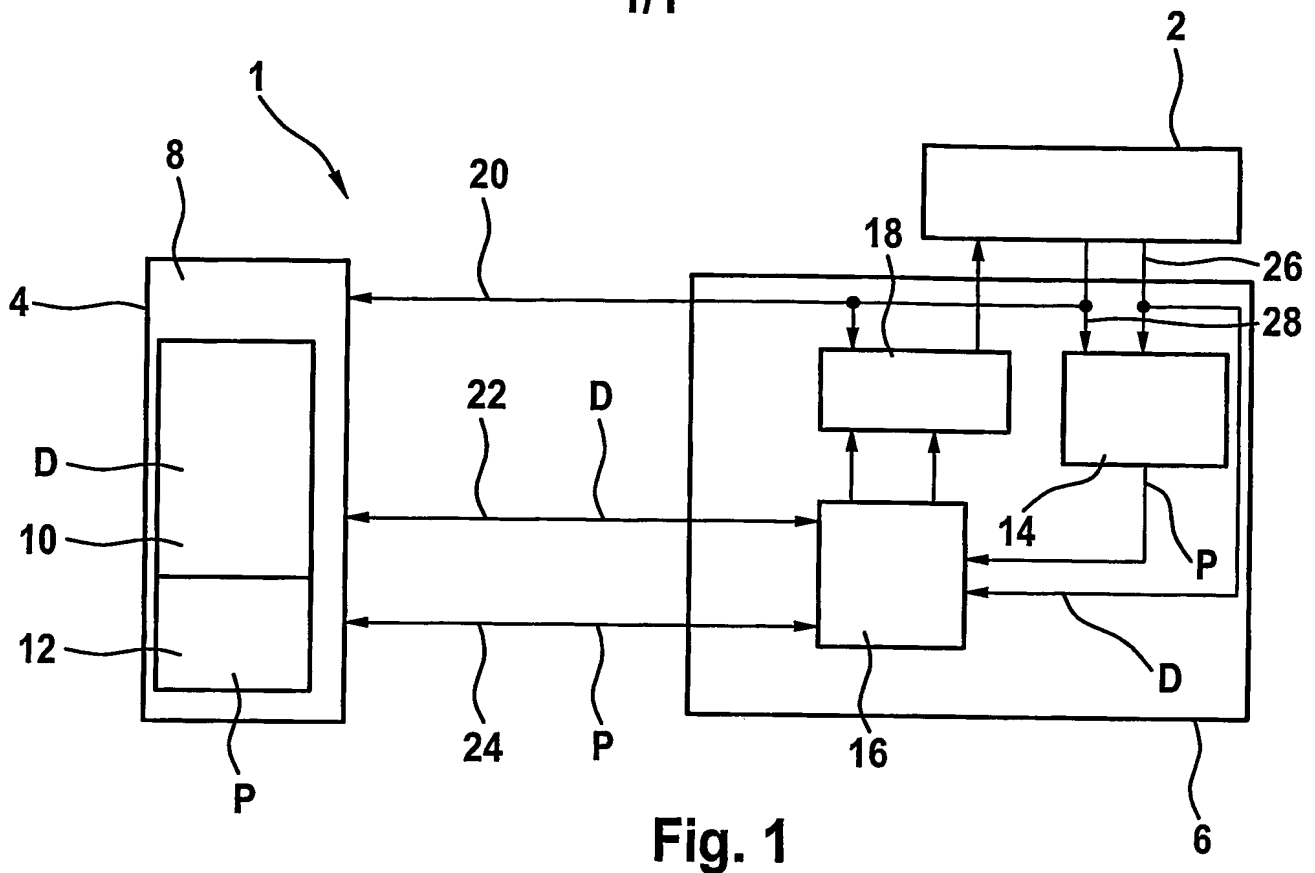
1, 1'	Schaltungsanordnung
1	Rechenkern
4	Speicher
6	Fehlererkennungseinrichtung
8	Speicherwrapper
10, 12	Speicherbereich
14	Prüfdatengenerator
16	Buslogikeinrichtung
18	Korrekturblock
20, 22, 24	Busleitung
26	Datenleitung
27	Zweigleitung
30	Rechenkern
32	Überprüfungseinheit
34	Datenleitung
36	Checkbit-Generator
38	Vergleichermodule
40	Ausgangskanal
A	Adressen
D	Daten
L	Lesedaten
P	Prüfdaten

**Patentansprüche**

1. Verfahren zur Erkennung und/oder Korrektur von Speicherzugriffsfehlern in einem Rechnersystem, bei dem innerhalb eines Speichers (4) zusätzlich zu abzusichernden Daten (D) unter Verwendung dieser Daten (D) erzeugte Prüfdaten (P) abgelegt werden, dadurch **gekennzeichnet**, dass bei der Erzeugung der Prüfdaten (P) zusätzlich zu den abzusichernden Daten (D) auch deren Adressen berücksichtigt werden.
2. Verfahren nach Anspruch 1, dadurch **gekennzeichnet**, dass abzusichernde Daten (D) gemeinsam mit den ihnen zugeordneten Prüfdaten (P) an einen Datenempfänger übermittelt werden, wobei eine Auswertung der Prüfdaten (P) zur Fehlererkennung erst nach der Datenübermittlung vorgenommen wird.
3. Verfahren nach Anspruch 1 oder 2, dadurch **gekennzeichnet**, dass eine Auswertung der Prüfdaten (P) zur Fehlererkennung in einer Fehlererkennungseinrichtung (6) vorgenommen wird, die von einer Überprüfungseinheit (32) überprüft wird.
4. Verfahren nach Anspruch 3, dadurch **gekennzeichnet**, dass zur Überprüfung der Fehlererkennungseinrichtung (6) anhand der von dieser gelieferten Daten (D) und anhand von deren Adressen weitere Prüfdaten (P) erzeugt werden.
5. Verfahren nach Anspruch 3 oder 4, dadurch **gekennzeichnet**, dass die Überprüfungseinheit (32) Vergleichsprüfdaten aus Daten und Adressen erzeugt, die mit Prüfdaten (P) der Fehlererkennungseinrichtung (6) und/oder mit

- Prüfdaten eines mit der Fehlererkennungseinrichtung (6) verbundenen Speichers (4) verglichen werden.
6. Verfahren nach einem der Ansprüche 3 bis 5, dadurch **gekennzeichnet**, dass zur Übertragung von Daten (D), Prüfdaten (P) und Adressen (A) zwischen der Fehlererkennungseinrichtung (6) und einem Applikationsspeicher getrennte Busleitungen (20, 22, 24) genutzt werden.
  7. Elektronische Schaltungsanordnung (1, 1'), insbesondere zur Durchführung des Verfahrens nach einem der Ansprüche 1 bis 6, mit einer mit einem Rechenkern (2) und mit einem Speicher (4) verbundenen Fehlererkennungseinrichtung (6), dadurch **gekennzeichnet**, dass die Fehlererkennungseinrichtung (6) einen Prüfdatengenerator (14) umfasst, der für im Speicher (4) abzulegende Daten (D) anhand dieser Daten (D) und anhand ihrer Adressen Prüfdaten (P) erzeugt.
  8. Elektronische Schaltungsanordnung (1, 1') nach Anspruch 7, dadurch **gekennzeichnet**, dass die Fehlererkennungseinrichtung (6) über eine Anzahl von Busleitungen (20, 22, 24) mit dem Speicher (4) verbunden ist.
  9. Elektronische Schaltungsanordnung (1, 1') nach Anspruch 8, dadurch **gekennzeichnet**, dass für Daten (D), Prüfdaten (P) und Adressen (A) jeweils separate Busleitungen (20, 22, 24) vorgesehen sind.
  10. Elektronische Schaltungsanordnung (1, 1') nach einem der Ansprüche 7 bis 9, dadurch **gekennzeichnet**, dass der Fehlererkennungseinrichtung (6) eine Überprüfungseinheit (32) zugeordnet ist.

1/1



## INTERNATIONAL SEARCH REPORT

International Application No

PCT/EP 03/13527

## A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 G11C29/00

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, PAJ, WPI Data

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 3 789 204 A (BARLOW G) 29 January 1974 (1974-01-29)	1,2,7-9
Y	column 2, line 41-62 -column 3, line 27-39; figure 1	3-6,10
Y	US 4 726 021 A (HORIGUCHI MASASHI ET AL) 16 February 1988 (1988-02-16) column 6, line 35-57 column 8, line 37 -column 9, line 4; figure 10	3-6,10
Y	PATENT ABSTRACTS OF JAPAN vol. 016, no. 179 (P-1345), 28 April 1992 (1992-04-28) & JP 04 019900 A (MITSUBISHI ELECTRIC CORP), 23 January 1992 (1992-01-23) abstract	3-6,10
	-/-	

☒ Further documents are listed in the continuation of box C.☒ Patent family members are listed in annex.

## \* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&amp;" document member of the same patent family

Date of the actual completion of the international search

20 April 2004

Date of mailing of the international search report

04/05/2004

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Authorized officer

Gaertner, W

## INTERNATIONAL SEARCH REPORT

International Application No

PCT/EP 03/13527

## C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	EP 0 255 449 A (FUJITSU LTD) 3 February 1988 (1988-02-03) column 2, line 12-19 -column 4, line 27-40; figure 1 -----	3-6, 10



# INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/EP 03/13527

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 3789204	A	29-01-1974	AU 473099 B2	10-06-1976
			AU 5461373 A	24-10-1974
			CA 1018282 A1	27-09-1977
			DE 2328869 A1	20-12-1973
			FR 2199897 A5	12-04-1974
			GB 1398652 A	25-06-1975
			IT 988914 B	30-04-1975
			JP 1246225 C	25-12-1984
			JP 49063346 A	19-06-1974
			JP 57051197 B	30-10-1982
US 4726021	A	16-02-1988	JP 1968591 C	18-09-1995
			JP 6101240 B	12-12-1994
			JP 61239499 A	24-10-1986
			JP 2008511 C	11-01-1996
			JP 7046517 B	17-05-1995
			JP 62001198 A	07-01-1987
			KR 9705648 B1	18-04-1997
JP 04019900	A	23-01-1992	NONE	
EP 0255449	A	03-02-1988	JP 63037270 A	17-02-1988
			DE 3773078 D1	24-10-1991
			EP 0255449 A1	03-02-1988
			KR 9008192 B1	05-11-1990
			US 4833395 A	23-05-1989

# INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP 03/13527

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES  
IPK 7 G11C29/00

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

## B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)  
IPK 7 G11C

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der Internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, PAJ, WPI Data

## C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 3 789 204 A (BARLOW G) 29. Januar 1974 (1974-01-29)	1,2,7-9
Y	Spalte 2, Zeile 41-62 -Spalte 3, Zeile 27-39; Abbildung 1	3-6,10
Y	US 4 726 021 A (HORIGUCHI MASASHI ET AL) 16. Februar 1988 (1988-02-16) Spalte 6, Zeile 35-57 Spalte 8, Zeile 37 -Spalte 9, Zeile 4; Abbildung 10	3-6,10
Y	PATENT ABSTRACTS OF JAPAN vol. 016, no. 179 (P-1345), 28. April 1992 (1992-04-28) & JP 04 019900 A (MITSUBISHI ELECTRIC CORP), 23. Januar 1992 (1992-01-23) Zusammenfassung	3-6,10
	-/-	

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

\* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

20. April 2004

Absenddatum des internationalen Recherchenberichts

04/05/2004

Name und Postanschrift der internationalen Recherchenbehörde  
Europäisches Patentamt, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Gaertner, W

## C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie°	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	EP 0 255 449 A (FUJITSU LTD) 3. Februar 1988 (1988-02-03) Spalte 2, Zeile 12-19 -Spalte 4, Zeile 27-40; Abbildung 1 -----	3-6, 10

# INTERNATIONAL RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP 03/13527

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 3789204	A	29-01-1974	AU 473099 B2 10-06-1976
			AU 5461373 A 24-10-1974
			CA 1018282 A1 27-09-1977
			DE 2328869 A1 20-12-1973
			FR 2199897 A5 12-04-1974
			GB 1398652 A 25-06-1975
			IT 988914 B 30-04-1975
			JP 1246225 C 25-12-1984
			JP 49063346 A 19-06-1974
			JP 57051197 B 30-10-1982
US 4726021	A	16-02-1988	JP 1968591 C 18-09-1995
			JP 6101240 B 12-12-1994
			JP 61239499 A 24-10-1986
			JP 2008511 C 11-01-1996
			JP 7046517 B 17-05-1995
			JP 62001198 A 07-01-1987
			KR 9705648 B1 18-04-1997
JP 04019900	A	23-01-1992	KEINE
EP 0255449	A	03-02-1988	JP 63037270 A 17-02-1988
			DE 3773078 D1 24-10-1991
			EP 0255449 A1 03-02-1988
			KR 9008192 B1 05-11-1990
			US 4833395 A 23-05-1989